

CLIPPEDIMAGE= JP353132281A
PAT-NO: JP353132281A
DOCUMENT-IDENTIFIER: JP 53132281 A
TITLE: SEMICONDUCTOR MEMORY DEVICE

PUBN-DATE: November 17, 1978

INVENTOR-INFORMATION:

NAME

OKADA, KENJI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP52047073

APPL-DATE: April 22, 1977

INT-CL_(IPC): H01L027/04; G11C017/00
US-CL-CURRENT: 257/390,257/910

ABSTRACT:

PURPOSE: To enhance the integration of a writable
read-only semiconductor
memory device by constituting a memory cell of MIS
structure with a thin
insulation film provided between semiconductor and metal
and writing by breaking
the insulation film.

COPYRIGHT: (C)1978, JPO&Japio

公開特許公報

昭53—132281

③Int. Cl.²
H 01 L 27/04
G 11 C 17/00

識別記号

④日本分類
99(5) H 0
97(7) C 5

庁内整理番号
7210—57
7010—56

⑤公開 昭和53年(1978)11月17日

発明の数 1
審査請求 未請求

(全 3 頁)

⑥半導体記憶装置

東京都港区芝五丁目33番1号
日本電気株式会社内

⑦特 願 昭52—47073
⑧出 願 昭52(1977)4月22日
⑨発 明 者 岡田賢治

⑩出 願 人 日本電気株式会社
東京都港区芝五丁目33番1号
⑪代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称 半導体記憶装置

2. 特許請求の範囲

書き込み可能な読出専用半導体記憶装置に於いて、半導体と金属との間に薄い絶縁膜を有する構造で記憶セルを構成し、前記絶縁膜を破壊することにより書き込むことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

本発明は半導体記憶装置、特に書き込み可能な読出専用半導体記憶装置（以下P-ROMと記す）に関するものである。

従来、P-ROMにはニクロム等を記憶セルとして使用するヒューズ型やトランジスタをベース開放で使用し、エミッタ・ベース接合の短絡の有無を利用した接合破壊型があり、ヒューズ型のP-ROMは、ヒューズ書き込み後の再短絡という

信頼性上の問題を有する欠点があり、接合破壊型P-ROMに於いては次のような欠点を持っていた。

接合破壊型P-ROMの書き込みは選択的に各素子毎にエミッタ・コレクタ間に一定の大電流を一定時間流し込み、その発熱による局部的温度上昇によりエミッタ・ベース接合を短絡破壊される事により行われる。又、この種の半導体装置は通常デコーダ等の周辺回路と共に、集積回路として1チップ内に組み込まれるが、周辺回路のトランジスタは一般に記憶セルと同一工程で並行して作られるため、エミッタ・ベース接合とコレクタ・ベース接合の距離、即ちベース幅は所定の電流増幅率を得るに必要な距離に設定しなければならない。しかるに前記したように記憶セル即ちエミッタ・ベース接合の極く近傍に（ベース幅だけの距離を置いて）回り込み防止用ダイオードとして働くコレクタ・ベース接合が存在するため、書き込み時にエミッタ・ベース接合で発生する熱により前記ベース・コレクタ接合が害されてその耐圧が低くなり、また十分低抵抗になるようにエミッタ・ベ-

ス接合を短絡破壊することが困難であった。更に書き込み中にいずれかの記憶セルで前記コレクタ・ベース接合の耐圧が害されて低くなると、他の記憶セルの書き込みができなくなり、書き込み歩留りが悪いという欠点と、書き込み時に大電流が必要であり、そのため前記周辺回路のトランジスタのディメンションを大きくしなければならず、従って集積度が向上しないという欠点をも合せ持っていた。

本発明は従来の上記欠点を除去するためになされたものであり、従って、本発明の目的は記憶セルと同時に作成される周辺トランジスタの特性を犠牲にすることなく、又書き込み後の信頼性が良く且つ高い書き込み歩留と高い集積度が得られる半導体記憶装置を提供することにある。

本発明の半導体記憶装置は、半導体と金属との間に薄い絶縁膜を有する構造（以下MIS構造と記す）で記憶セルを構成して、絶縁物を破壊することにより書き込むことを特徴としている。

しかして本発明によれば、書き込みは絶縁膜を絶縁破壊することにより行われるので、書き込み電流は

(3)

絶縁膜2を約300Åの厚さまでエッチング等の処理をして絶縁膜3を形成しても良い。この場合記憶セルの面積はほぼ絶縁膜2に形成した窓の面積に等しい大きさとなり、従来の拡散によるエミッタ・ベース接合を利用した記憶セルに比べて本発明による記憶セルの面積は小さくなり、このことは前記した理由以外の集積度を向上させる一因となる。記憶セルへの書き込みは金属電極4と半導体基板1との間に約30ボルトの電圧を印加し、絶縁膜3を絶縁破壊して、金属電極4と半導体基板1とをショートさせることにより行われる。即ち金属電極4と半導体基板1とのオープン状態とショート状態とのいずれかにより情報の“1”、“0”を記憶させるものである。

周知のように、P-ROMは通常マトリックス状に記憶セルが配列されており、従って第2図に示すように本発明によるMIS構造の記憶セル9と回り込み防止用ダイオードDを直列に接続して、X,Y方向の線の交点間に接続することになる。このようにMIS構造記憶セルとダイオードDが直列接続

(5)

非常に小さくて済み、周辺回路のトランジスタのディメンションも小さくできるため、集積度が向上し、又記憶セルと回り込み防止用ダイオードとして動作するコレクタ・ベース接合との距離を周辺回路のトランジスタの特性を犠牲にすることなく大きくできるため、書き込み時に前記回り込み用防止用ダイオードとしてのコレクタ・ベース接合を害することがないので、高信頼度、高書き込み歩留及び高集積度の半導体記憶装置が得られる。

次に本発明をその良好な実施例について図面を参照しながら詳細に説明する。

本発明のP-ROMは従来の接合破壊型P-ROMにおけるエミッタ・ベース接合の代りに、半導体と金属との間に薄い絶縁膜を有するMIS構造を用いるものであり、第1図に示すようにシリコン等の半導体基板1上のシリコン酸化膜等の絶縁膜2に窓を形成し、前記窓の部分に約300Åのシリコン窒化膜等の絶縁膜3を形成し、アルミ等の金属電極4を設けたものである。勿論絶縁膜3の材料に絶縁膜2をそのまま利用し、窓を形成するときに絶

(4)

される構成である場合、第3図に示すように、通常のバイポーラ型の製造プロセスで形成し、回り込み防止用ダイオードに従来の接合破壊型P-ROMと同じようにコレクタ領域5とベース領域6とのコレクタ・ベース接合を利用し、ベース領域6内に薄い絶縁膜7を形成し、金属電極8を設けることによりMIS構造記憶セルを構成すれば、集積度を向上することができる。勿論第2図に示すビット線を金属電極8で接続し、ワード線はコレクタ領域5を共通にするのが従来の接合破壊型P-ROMと同様集積度を向上するのに良い。前記のように第3図に示すベース領域6は同一の半導体チップ内に組み込まれる周辺トランジスタのベース領域と同時に形成されるが、周辺トランジスタの特性を良くするためにベース幅を十分小さくしてもMIS構造記憶セルと回り込み防止用ダイオードであるコレクタ・ベース接合との距離はベース領域6の深さ(2μm)だけで決定されており、書き込み時に前記コレクタ・ベース接合が害される恐れはない。

従来の接合破壊型P-ROMに於いてはベース幅が

(6)

(0.5 μ m)がそのまま記憶セルと回り込み防止用コレクタ・ベース接合との距離になっていた。

本実施例によれば、シリコン窒化膜を形成する工程が通常のバイポーラ型プロセスに追加されているが、現在ではシリコン窒化膜を半導体接合の保護膜として利用している場合が多く、MIS構造記憶セルを形成するときのシリコン窒化膜がそのまま半導体接合の保護膜として利用できる大きな利点がある。

以上説明したように、本発明はP-ROMの記憶セルをMIS構造で構成したものであるから、記憶セルを電極を設けるための窓の大きさと同じ微小面積にすることが可能であり、又絶縁破壊による書き込み方式のため、大電流が必要でなく記憶セルと同時に形成される周辺回路のトランジスタのディメンションが小さくでき、従来のP-ROMに比べて飛躍的に集積度を向上させることができると共に周辺トランジスタを作成する場合、その電流増幅率を所定の値に設定するために、ベース幅を十分小さくしても、回り込み防止用ダイオードであるコ

(7)

レクタ・ベース接合と記憶セルとの距離を十分離すことができるので書き込みにコレクタ・ベース接合を害することがなく、高い書き込み歩留のP-ROMが得られる。

4. 図面の簡単な説明

第1図は本発明のMIS構造を示す図、第2図は記憶セルのマトリクス配列説明図、第3図は本発明の好ましい実施例を示す図である。

1……半導体基板、2……絶縁膜、3,7……薄い絶縁膜、4,8……金属電極、5……コレクタ領域、6……ベース領域、9……MIS構造記憶セル
N……N型エピタキシャル層、N⁺……埋込みコレクタ領域、P⁺……P型絶縁拡散領域、P……P型サブストレート。

代理人 弁護士 内 蔵 晋

(8)

